

PAT-NO: JP360084646A
DOCUMENT-IDENTIFIER: JP 60084646 A
TITLE: TABLE SEARCH SYSTEM
PUBN-DATE: May 14, 1985

INVENTOR-INFORMATION:

NAME	COUNTRY
KOSUGE, YASUHARU	
MIYAYASU, KENJI	
ISHIKAWA, HIROSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP	N/A

APPL-NO: JP58193092
APPL-DATE: October 15, 1983

INT-CL (IPC): G06F012/00 , G06F009/06

ABSTRACT:

PURPOSE: To search for an empty entry at a high speed by searching a register group consisting of memory capable of operating independently of a table body through hardware for empty entry search according to index information.

CONSTITUTION: An empty/occupation display for each entry of the table and a register in a register array for controlling it are specified by a decoder 2, and one set bit with top priority among data in registers 7, 8, and 9 for holding it read data is encoded by a priority encoder 10 into a binary code, which is held in registers 12, 13, and 14. Further, the all "0" signal of respective bits is outputted by a decoder 15 for the encoder 10 and an AND circuit 16 for the registers 7, 8, and 9, and registers 4 6 are controlled by a control part 21. Then, the decoder 2 generates addresses of levels 1,

2, and 3 in the array 1 to find the bit which is set to 1 first, thereby indicating an empty entry.

COPYRIGHT: (C)1985,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-84646

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)5月14日

G 06 F 12/00
9/06

5974-5B
7361-5B

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 テーブル探索方式

⑯ 特 願 昭58-193092

⑰ 出 願 昭58(1983)10月15日

⑱ 発 明 者 小 菅 康 晴 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

⑲ 発 明 者 宮 保 憲 治 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

⑳ 発 明 者 石 川 宏 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

㉑ 出 願 人 日本電信電話公社

㉒ 代 理 人 弁理士 玉島 久五郎 外2名

明 細 書

1. 発明の名称

テーブル探索方式

2. 特許請求の範囲

テーブルの各エントリの空欄表示と、該空欄表示の状態管理のためのインデクス情報を持つレジスタ群をテーブル本体と独立して動作可能なメモリで構成し、さらに該レジスタ群を前記インデクス情報に従って探索する空エントリ探索用ハードウェアを備え、該空エントリ探索用ハードウェアを用いて前記メモリをアクセスすることによつて空エントリの探索を実行することを特徴とするテーブル探索方式。

3. 発明の詳細な説明

技術分野

本発明は、テーブルエントリの空欄表示と、該表示の管理用インデクス情報を持つレジスタ群をテーブル本体と独立したメモリで実現し、空エントリ探索に該メモリ内のインデクス情報を利用して、本体のテーブルをアクセスすることなく、少

ないアクセス回数で高速に探索を可能とする方式に関するものである。

従来技術

従来、大規模なテーブルの空エントリ探索においてはソフトウェアテーブルの場合はソフトウェアにより、ハードウェアテーブルの場合はテーブルに構造を持たせ探索範囲を限定する等の対処をしており、探索動作が低速であつたり、全部の空エントリを有効に利用できない等の欠点があつた。

発明の目的

本発明は、上記従来のテーブルの空エントリ探索の問題を解決し、空エントリの探索を高速度に行行可能とし、また全部の空エントリを有効に利用できるようにすることをその目的とする。

発明の概要

本発明においては、テーブルの各エントリの空欄表示の状態管理のためのインデクス情報をもつレジスタ群をテーブル本体と独立して動作可能なメモリで構成するものであり、これらのレジスタ群を空エントリ探索用ハードウェアを用いて前記

インデクス情報に従つて探索することを特徴とするものであつて、空エントリ探索に際して本体のテーブルをアクセスすることなく、少ないアクセス回数で高速に探索を可能とする方式に関するものである。

発明の実施例

以下、本発明の構成及び作用を実施例によつて詳しく説明する。

第1図は、本発明の実施例におけるテーブル本体と、その各エントリの空塞表示及び表示状態管理のためのレジスタアレーの基本的関係を示す図である。1はレジスタアレー、100はテーブル本体、10, 10¹, 10²はレジスタアレー1中のレベル1, レベル2, レベル3と名付けられるレジスタ群である。テーブル本体が 2^{k+m+n} 個の k のエントリを持つ場合、その空又は塞の情報は各レジスタ当り 2^k ビットのデータを持つ 2^{k+m} 個のレベル3レジスタ群の対応する1個のレジスタの対応するビットの“0”又は“1”により表現される。空の場合は“1”, 塞の場合は“0”である。

互関係に従つて)求め、この中で(レベル1レジスタ10の場合と同じ)探索順序に従い最初に得られる“1”の立つビットを求める。これに対応する10のレベル3レジスタを(第1図に示した相互関係に従つて)求め、この中で(レベル1, 2レジスタの場合と同じ)探索順序に従い最初に得られる“1”の立つビットを求める。これに対応するテーブル本体中のエントリが求める空エントリとなる。

第2図は第1図に示したレジスタアレー1を、メモリ中にたたみ込んだ際のアドレス付与例を示したものである。レジスタアレーのアドレスは $1+k+m+n$ ビットであり、このうち $1+k+m$ ビットを用いてレベル1, 2, 3のレジスタの1個を指定し、さらに n ビットでレベル3レジスタ内のビット位置を指定する。レベル1レジスタは $1+k+m$ ビットのある特定パターンにより指定され、レベル2レジスタは“0”(1ビット)+ k ビット+“0...0”(m ビット)で指定され、レベル3レジスタは“1”(1ビット)+ k ビット+ m ビットで指定される。第2図は、

レベル3レジスタ1個の 2^k ビットの内容の論理和を取り、結果を1ビットで表示した 2^k ビットのデータを持つレジスタがレベル2レジスタであり、これは 2^k 個存在する。

レベル2レジスタ1個の 2^m ビットの内容の論理和を取り、結果を1ビットで表示した 2^k ビットのデータを持つレジスタがレベル1レジスタであり、これは $2^k(=1)$ 個存在する。

これらレベル2レジスタ群10¹及びレベル1レジスタ10により空塞表示のインデクス情報を保持させ、空エントリ探索においては、空塞表示そのものを保持するレベル3レジスタ群10とともに以下のように使用する。

空エントリ探索に際して、最初にレベル1レジスタ“1”の立つビット中の、探索順序に従つて最初に得られるもの(例えば、001001101001がレベル1レジスタ10の内容であつて、探索順序が左→右であれば、左端から3つ目のビットが最初に得られるものとなる)を求める。これに対応する10¹のレベル2レジスタを(第1図に示した相

上述の状況をデコーダと若干の接続にて表現しているが、具体的ハードウェアを示すものではない。

第3図は、第1図、第2図に示した基本構成における実施例の具体的構成例であつて、1はテーブル各エントリの空塞表示と表示状態管理のためのレジスタアレー、2はこれらレジスタアレー中の1つのレジスタを指定するためのデコーダ、3, 4, 5はデコーダ2へのアドレス信号線、6はデコーダ2に特定アドレスパターンを発生させるための信号線、7, 8, 9はレジスタアレーからの読出データを保持するためのレジスタ、10はレジスタ7, 8, 9から入力したデータ中で最優先の“1”の立つビットを2進エンコードするプライオリティエンコーダ、11はプライオリティエンコーダに入力された信号が0000であることを示す信号、12, 13, 14はプライオリティエンコーダ10の出力データを保持するためのレジスタ、15はプライオリティエンコーダ10の出力データをデコードする否定・出力を持つデコーダ、16はレジスタ7, 8, 9のいずれかのデータとデコーダ15の出力の

ビット毎の論理積をとる回路、17は16の出力が0220であることを示す信号、18はレジスタ12、13、14のいずれかのデータが入力されるデコード、19はレジスタ7、8、9のいずれかのデータとデコード18の出力のビット毎の論理積をとる回路、20はレジスタ14の出力データ線、21は全体を制御する制御部である。レジスタ12、13、14は制御部21の制御のもとに、データバス等を介して、プログラムとのデータの送受が可能である。

以下第3図により本実施例の動作を説明する。

イ. 空エントリの探索とその捕捉及びレジスタの更新

1) 空エントリの探索

- ① 制御部21にプログラムから空エントリ探索の指示が来ると、信号線6によりデコード2に対しレベル1レジスタ12のアドレスを発生させ、読出データをレジスタ7にセットする。
- ② レジスタ7の出力をプライオリティエンコード10に入力する。ここで0220信号

コード10に入力し、出力をレジスタ13にセットする。

- ③ レジスタ13の出力をセクタ41、信号線4を介してデコード2に入力する。

この時、同時に信号線5を介してレジスタ12のデータ、及びセクタ31と信号線3を介して、レベル3データ(すなわち“1”データ、第2図参照)をデコード2に入力している。この時点でデコード2は⑤で指示されたレベル2レジスタにおける(プライオリティエンコード10の優先順位に従って)最初の“1”の立っているビットに対応するレベル3レジスタのアドレスを発生している。(第2図参照)

- ④ ③で発生したアドレスに従って、レジスタアレー1から読出したデータをレジスタ9にセットする。
- ⑤ レジスタ9のデータをプライオリティエンコード10に入力し、その出力をレジスタ14にセットする。

11が出れば、テーブルには空エントリなしと判断し、制御部21はその旨をプログラムに報告する。0220でなければ以下に進む。

- ⑥ プライオリティエンコード10の出力をレジスタ12にセットし、信号線5を介してデコード2に入力する。その際同時にセクタ41は0220データを選択して信号線4を介してデコード2に入力しており、セクタ31はレベル2データ(すなわち“0”データ、第2図参照)を信号線3を介してデコード2に入力している。この時点でデコード2はレベル1レジスタ12のプライオリティエンコード10の優先順位に従って最初の“1”の立っているビットに対応するレベル2レジスタのアドレスを発生している。(第2図参照)
- ⑦ ⑥で発生したアドレスに従って、レジスタアレー1から読出したデータをレジスタ8にセットする。
- ⑧ レジスタ8の出力をプライオリティエン

- ⑨ この時点で、レジスタ12、13、14にセットされている内容が、求めるテーブルの空エントリのアドレス(すなわちエントリ番号)となる。制御部21はプログラムに対し、レジスタ12、13、14を読み出すよう指示する。

II) 空エントリを捕捉し、当該エントリを塞とした後のレジスタアレー更新処理

- ⑩ ⑨の時点でプライオリティエンコード10の出力は、レベル3レジスタの(プライオリティエンコード10の優先順位に従って)最初の“1”の立っているビット位置をエンコードしたのになつている。

このデータをデコード15に入力し、その出力(否定形式)とレジスタ9の内容とANDをとれば、選択した空エントリに対応するレベル3レジスタのビットを“1”→“0”、すなわち“空”→“塞”へ変更できる。従って、デコード15の出力と、レジスタ9の出力をAND回路16に入力し、その出力をレジスタアレー1に導込む。書き込みアドレス¹³

④のアドレスを用いる。この時点でAND回路16の $\alpha\beta\delta 0$ 信号17が出れば、⑦の時点でレジスタ12,13で指示されたレベル3レジスタにおいて“1”の立っているビットは1個であつた事となり、⑤で指示された(すなわち④の時点でレジスタ8にその内容が収容されている)レベル2レジスタの書き換えを行う必要が生じ、以後の処理を続行する。AND回路16の $\alpha\beta\delta 0$ 信号17が出なければ処理はここで終了し、次の空エントリ探索、又は読エントリの置換等の処理を行う。

- ⑧ ⑥の時点でレジスタ8にレベル2レジスタの内容が収容されているので、その出力をプライオリタイエンコーダ10に加え、その出力をデコーダ15に加えるとともに、並行してレジスタ8の出力をAND回路16に加える。AND回路16の出力を⑧のアドレスを用いてレジスタアレー1に書き込む。この時点でAND回路16の $\alpha\beta\delta 0$ 出力信号17

ル3データ(すなわち“1”データ、第2図参照)をデコーダ2に加える。(所望のレベル3レジスタのアドレスをデコーダ2に加えたことになる。)

- ⑨ レジスタアレー1からの読出しデータをレジスタ9にセット後、OR回路19に入力し、同時にプライオリタイエンコーダ10に入力する。($\alpha\beta\delta 0$ 判定のため)
- ⑩ レジスタ14のデータをデコーダ18に加え、その出力をOR回路19に入力する。
- ⑪ この時点でOR回路19の出力は、レベル3レジスタの更新されたデータとなつているので②のアドレスを用いてレジスタアレー1に書き込み、レベル3レジスタを更新する。
- ⑫ ⑪において $\alpha\beta\delta 0$ 信号11が出ていなければ、処理はここで終了し(すなわち他にも空エントリが存在したのでインデクス情報の変更は不要である)、出ていれば以下の処理を続行する。
- ⑬ レベル2レジスタの更新を行うため、レ

が出なければ処理はここで終了する。出力信号17が出れば⑬におけると同様な理由で、レベル1レジスタの書き換えを行うため以後の処理に進む。

- ⑭ ①の時点でレジスタ7にレベル1レジスタの内容が収容されているので、その出力をプライオリタイエンコーダ10に加え、その出力をデコーダ15に加えるとともに、並行してレジスタ7の出力をAND回路16に加える。AND回路16の出力を、①のアドレスを用いてレジスタアレー1に書き込む。

以上でレベル1,2,3の関連するレジスタの更新は終了した。

カ. 読エントリの置換と、レジスタ更新

- ① プログラムにより読→空へ変換させたテーブルエントリのアドレス(すなわちエントリ番号)が制御部21の制御の下にレジスタ12,13,14へセットされる。
- ② レベル5レジスタを読出すため、レジスタ12,13のデータ及びセクタ31を介してレベ

スタ12のデータ、セクタ41を介した $\alpha\beta\delta 0$ データ、及びレジスタ31を介したレベル2データ(すなわち“0”データ、第2図参照)をデコーダ2に加え、レジスタアレー1をアクセスし、読出しデータをレジスタ8にセットする。その後プライオリタイエンコーダ10に出力を加える。

- ③ レジスタ8のデータと、レジスタ13のデータをデコーダ18を介してOR回路19に加え、出力を⑦のアドレスでレジスタアレー1に書き込む。③において $\alpha\beta\delta 0$ 信号11が出ていなければ処理はここで終了し、出ていれば以下の処理を続行する。

- ④ レベル1レジスタの更新を行うため、特定パターン発生信号6をONとしてデコーダ2にレベル1レジスタのアドレスを発生させ、レジスタアレー1をアクセスする。読出しデータをレジスタ7にセットするとともに、OR回路19に加える。並行してレジスタ12のデータをデコーダ18を介してOR回路19に加え、

出力をレジスタアレー 1 に書き込みレベル 1 レジスタの更新を行う。

以上でレベル 1, 2, 3 の関連するレジスタの更新は終了した。

以上説明した動作について、1) 空エントリの探索はプログラムからの要求に先立つて、事前に独立に処理しておくことが可能であり、要求的にはただちに空エントリを指示することができる。さらに、多数の空エントリを捕捉したい場合にも 4. I), 4. II) の処理がプログラムの進行とは独立に並行してハードウェアで実行可能であるため、1つの空エントリを捕捉して若干の処理をプログラムが進めている間に、次の空エントリを指示することができる。

以上説明した実施例は、レジスタを 5 レベルの構成としたが、使用部品、テーブル規模等により適宜選択すればよく、固定的なものではなく、空表示の状態管理のためのインデクス情報は種々変更可能である。

発明の効果

以上説明したように、テーブルの各エントリの空表示と、該表示の状態管理のためのインデクス情報を持つレジスタ群を、テーブル本体と独立して動作可能なメモリで構成するとともに、空エントリ探索用ハードウェアを用い、空エントリ探索時にテーブルアクセスを行うかわりに該メモリのみをアクセスすることにより、空エントリの探索が実行可能なため、以下の利点がある。

- (1) 空エントリをプログラムからの要求前にもあらかじめ探索しておくことにより、探索のための待時間を大幅に削減できる。
- (2) 空エントリの位置による探索時間の変動を大幅に小さくできる。
- (3) 多数の空エントリを同時に探索する場合、探索時間を大幅に削減できる。

4. 図面の簡単な説明

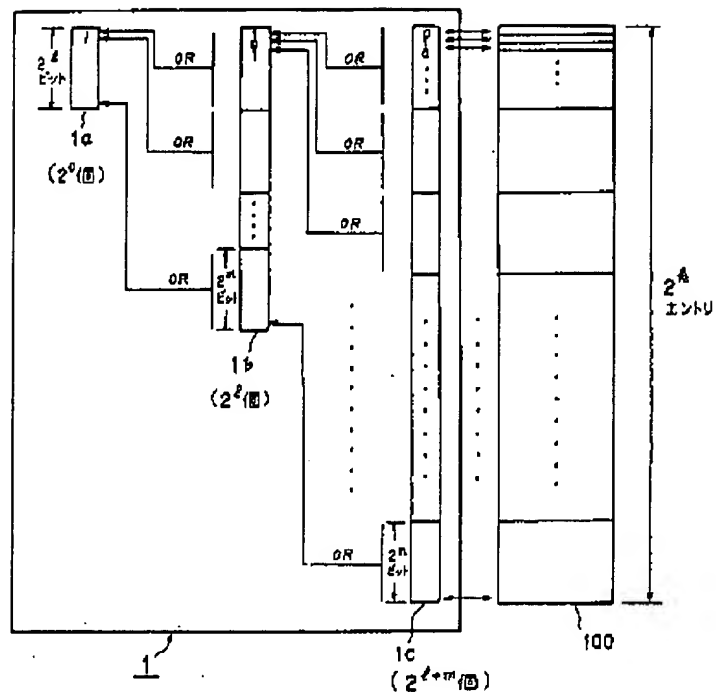
第 1 図は本発明の実施例におけるテーブル本体と、各エントリの空表示及び表示状態管理のためのレジスタアレーの基本的関係を示す図、第 2

図はレジスタアレーのアドレス付与例を示す説明図、第 3 図は本実施例の構成図である。

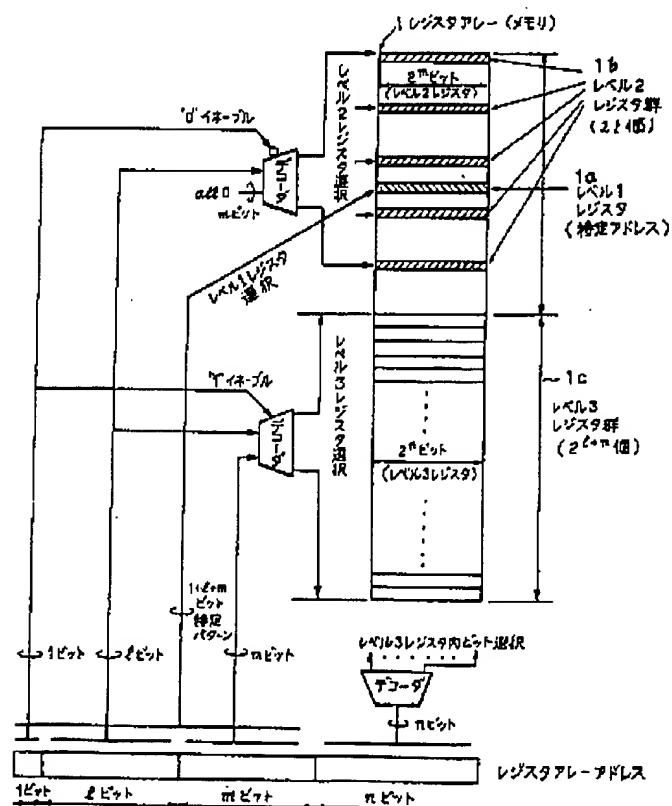
1 … レジスタアレー、2 … デコーダ、3, 4, 5 … アドレス信号線、6 … 特定パターン発生信号線、7, 8, 9 … 読出データレジスタ、10 … プライオリティエンコーダ、11 … $\alpha\beta\delta 0$ 信号線、12, 13, 14 … エンコーダ出力データレジスタ、15 … デコーダ、16 … AND 回路、17 … $\alpha\beta\delta 0$ 信号線、18 … チョップ、19 … OR 回路、20 … レジスタ出力データ線、21 … 制御部、31 … セレクタ、41 … セレクタ。

特許出願人 日本電信電話公社
代理人 弁護士 玉 盛 久 五 郎 (外 2 名)

第 1 図



第 2 圖



3 版

